

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS

• GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT

Docket No. JCLA11460

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : DAVID SHIUNG et al.

Application No. : 10/777,910

Filed : February 11, 2004

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

May 14, 2004

(Date)

For : NON-COHERENT FSK DEMODULATOR

Jiawei Huang, Reg. No. 43,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92119107** filed on **July 14, 2003**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA11460).

Date: 5/14/2004

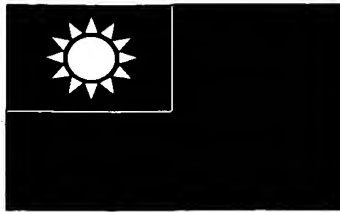
By: Jiawei Huang
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

10/777,910

TLA11460



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 14 日
Application Date

申請案號：092119107
Application No.

申請人：聯詠科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 27 日
Issue Date

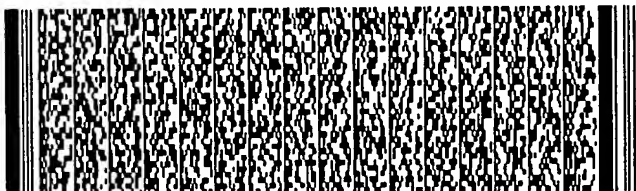
發文字號：09320187600
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	非同調頻率移位鍵解調電路及方法
	英 文	NON-COHERENT FSK DEMODULATOR
二、 發明人 (共1人)	姓 名 (中文)	1. 熊大為
	姓 名 (英文)	1. David Shiung
	國 籍 (中英文)	1. 中華民國 TW.
	住居所 (中 文)	1. 台南市東區東明里32鄰東寧路201巷55號
	住居所 (英 文)	1. No. 55, Lane 201, Dungning Rd., East Chiu, Tainan City, Taiwan 701, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯詠科技股份有限公司
	名稱或 姓 名 (英文)	1. Novatek Microelectronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹縣創新一路13號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2F., No. 13, Innovation Road I, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 何泰舜
	代表人 (英文)	1. Tai-Shung Ho



四、中文發明摘要 (發明名稱：非同調頻率移位鍵解調電路及方法)

一種非同調頻率移位鍵解調電路及方法。此非同調頻率移位鍵解調電路包括取樣元件、存取器串、及臨界元件。此過取樣元件接收一輸入數位非同調頻率移位鍵訊號，並檢查其傳輸狀況，並以按照邏輯準位的高或低產生資料位元信號'1'或'0'。此存取器串接收、計數、並儲存高準位邏輯數量值。接著臨界元件比較儲存於存取器串之高準位邏輯數量值與預定臨界值，以解調出數位非同調頻率移位鍵訊號DNFSK所載送之數位訊號。此非同調頻率移位鍵解調器可用簡潔之電路克服各種系統之缺陷，如頻率偏移，更可支援多速率傳輸。

伍、(一)、本案代表圖為：第4圖

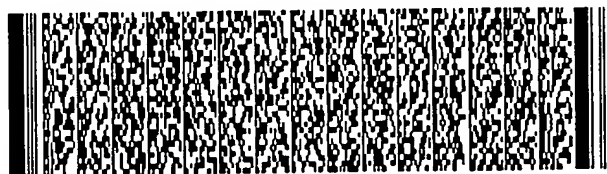
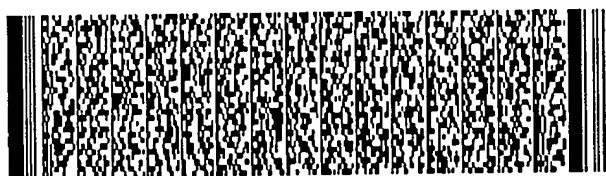
(二)、本案代表圖之元件代表符號簡單說明：

400 非同調FSK解調電路

410 過取樣元件

六、英文發明摘要 (發明名稱：NON-COHERENT FSK DEMODULATOR)

A non-coherent frequency shift key demodulator comprising an oversample device, a chain of registers, and a threshold device is disclosed. The oversample device receives an input digital non-coherent frequency shift signal, and examines for transitions therein, and thereby generating data bit signals in the form of logic high level '1' or logic low level '0' accordingly. The chain



四、中文發明摘要 (發明名稱：非同調頻率移位鍵解調電路及方法)

420 暫存器串

430 臨界元件

六、英文發明摘要 (發明名稱：NON-COHERENT FSK DEMODULATOR)

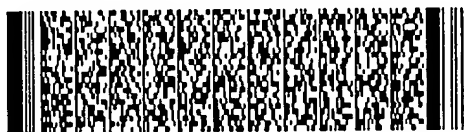
of registers receives, counts and stores the number of 1s data bit signals. Following, the threshold device compares the stored number of 1s in the chain of registers with a predetermined threshold value to extract the digital signal of the input digital non-coherent frequency shift signal. The non-coherent frequency shift key demodulator, by the use of a simple circuit and



四、中文發明摘要 (發明名稱：非同調頻率移位鍵解調電路及方法)

六、英文發明摘要 (發明名稱：NON-COHERENT FSK DEMODULATOR)

implementation, can combat system miscellaneous system impairments, such as frequency offset, and further support multi-rate transmissions.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

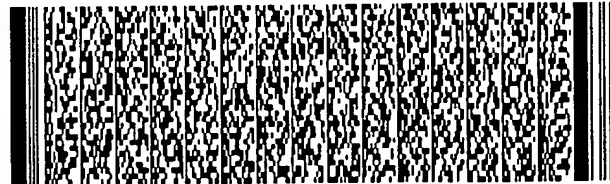
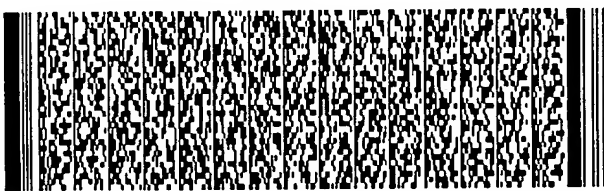
發明所屬之技術領域

本發明是有關於通訊系統的一種解調電路，且特別是有關於一種非同調頻率移位鍵(non-coherent frequency shift key, 簡稱non-coherent FSK)解調電路及解調方法。

先前技術

在無線通訊系統中傳送訊號時，必先以欲傳送之資訊調變一正弦波，再將調變後之訊號傳送出去。其中一種常見的調變方式，稱為頻率調變(frequency modulation, 簡稱FM)，此種方式最常用於調頻廣播(FM radio)和其它無線設備，諸如呼叫器，行動電話，無線電話等。而在各式頻率調變方法中，有一種稱為頻率移位鍵(frequency shift key, 簡稱FSK)調變的方法。FSK調變法是將數位資料以 f^1 與 f^0 二個頻率調變(分別代表數位訊號的高與低準位，在這裡稱為mark與space)編碼後傳送出去。經FSK調變後的波形從發射器傳送出去，接著由接收器接收下來，接收端經解調變後還原為數位資料。

第1圖所示為傳統之FSK接收器電路方塊示意圖。此FSK接收器電路100包括以下部分：接收天線110、低雜訊放大器(LNA)120、混波器130、低通濾波器140、類比-數位轉換器150及解調器160。接收天線110接收從發射器傳送之射頻訊號，經由低雜訊放大器120放大，再由混波器130以本地震盪訊號 f_c 混頻，接著低通濾波器140去除信號失真部分，類比-數位轉換器150取樣後，即獲得數位非同



五、發明說明 (2)

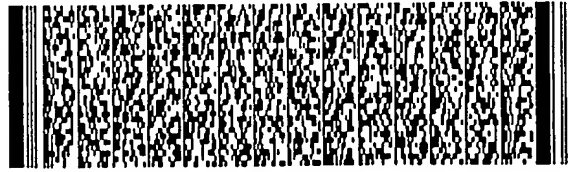
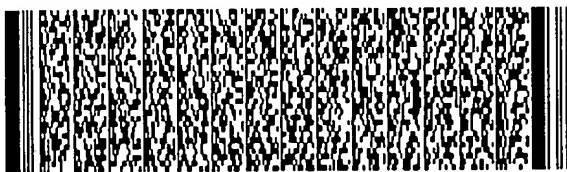
調頻率移位鍵(DNFSK)訊號。此包含頻率 f^1 與 f^0 基頻訊號之DNFSK再經解調電路160之解調取出發射器傳送之數位訊號。

目前至少有二種解調電路160可應用在FSK接收器100上，分別由第2圖與第3圖所示。第2圖是使用關聯接收器(correlation receiver)之解調電路方塊示意圖，而第3圖則是使用分辨偵測器(discrimination detector)之解調電路方塊示意圖。

在第2圖中，此解調電路160包括：第一關聯器(correlator)210、第二關聯器220及比較器230。欲計算出DNFSK信號中基頻 f^1 與 f^0 (分別代表數位訊號的高與低準位)的關聯值，通常以積分電路應用在第一關聯器210與第二關聯器220上。接著由比較器230比較第一關聯器210與第二關聯器220輸出之關聯值獲得射頻信號中之數位訊號D。

在第3圖中，此解調電路160包括：分辨器(discriminator)310與決定邏輯(decision logic)320。DNFSK信號中基頻 f^1 與 f^0 (分別代表數位訊號的高與低準位)對時間的微分值，係正比於 f^1 與 f^0 。在此，分辨器310通常使用微分電路計算 f^1 及 f^0 之微分值，然後再由決定邏輯320判斷分辨器310輸出之微分值，以獲得射頻信號中之數位訊號D。

由以上例子，可明顯看出傳統的解調電路160分別會使用到複雜的積分電路(如第2圖所示)或微分電路(如第3



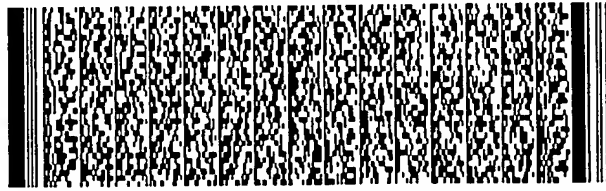
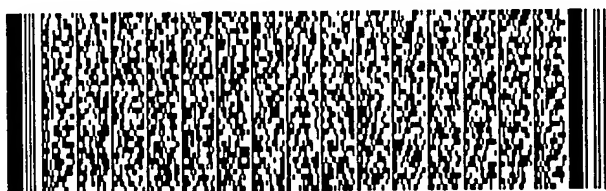
五、發明說明 (3)

圖所示)，因此需要比上述更簡潔的解調電路結構。

發明內容

有鑑於此，本發明目的在於提供一種非同調頻率移位鍵解調電路，其電路構成與傳統的關聯接收器或分辨偵測器比較起來十分簡潔，且可精確取出載波所傳送之資訊。為達上述目的，本發明提供一種耐用的非同調頻率移位鍵解調電路，克服各種系統缺點，例如以一簡便的查表(look-up table)紀錄所對應之數值以解決頻率偏移問題。相較於傳統的關聯接收器或分辨偵測器，此解調電路更對晶體頻率變異造成的頻率偏移提高可觀的容忍度。本發明另一優於傳統關聯接收器之處為此非同調頻率移位鍵解調電路支援多速率傳輸的功能。

為達上述目的，本發明之非同調頻率移位鍵解調電路與方法。其中，此非同調頻率移位鍵解調電路至少需具備一個過取樣元件(oversampling device)、一串暫存器(chain of registers)、及一臨界元件(threshold device)。此過取樣元件用以接收載有一數位訊號之一數位非同調頻率移位鍵(DNFSK)之信號，並檢查此DNFSK信號之傳送狀況。更勝者，在檢查傳送狀況同時，此過取樣元件的輸出位元在有傳送事實時顯示一高準位邏輯1，反之則顯示低準位邏輯0。接著，耦接至過取樣元件的暫存器串計數且儲存前元件輸出的高準位邏輯數量(number-of-ones)，並將此數值輸出至下一級臨界值元件。而耦接暫存器串的臨界值元件則比較接收至暫存器串



五、發明說明 (4)

的高準位數量和預定臨界值THR，進而決定DNFSK信號所運載之數位訊號。

具體來說，若該DNFSK訊號具有高準位調變頻率 f^1 ，低準位調變頻率 f^0 ，且系統速率為R，則預定臨界值為 $(f^1 + f^0) / R$ 。

換句話說，若高準位數量值低於預定臨界值，判定為低準位數位訊號，反之則判定為高準位數位訊號。

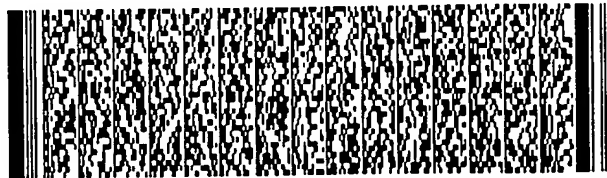
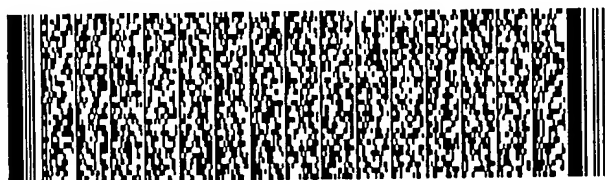
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

本發明之參考實例將在此配合附圖作詳細的說明。在文字與圖形中係使用一致之記號與數字。

見第4圖，即本發明之非同頻率移位鍵(FSK)解調電路示意圖。其所接收到的射頻(RF)訊號先降頻為數位非同調頻率移位鍵訊號(DNFSK)，該訊號含有代表高邏輯準位1的基頻 f^1 ，及代表低邏輯準位0的基頻 f^0 。

舉例來說，可如第1圖之類比-數位轉換器150得到數位非同頻率移位鍵訊號(DNFSK)，之後由非同頻率移位鍵(FSK)解調電路400接收。因此，從發射器(圖中並無顯示)發出並由數位非同調頻率移位鍵訊號(DNFSK)載送之數位訊號D便可自非同調FSK解頻電路400解出。為了更清楚解釋本發明，在以下敘述係假設當數位訊號D為邏輯高準位'1'，則FSK訊號之頻率為第一基頻 f^1 ；若為邏輯低準位'0'，

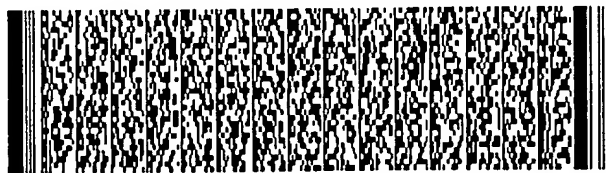
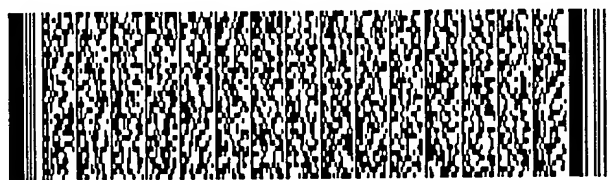


五、發明說明 (5)

則FSK訊號之頻率為第二基頻 f^0 。

如第4圖中所示，非同調FSK解調電路400包括至少一過取樣元件410，一暫存器串420及一臨界元件430。此過取樣元件接收輸入數位非同調頻率移位鍵訊號DNFSK，輸出資料訊號位元。耦接過取樣位元的暫存器串420則接收資料位元訊號並輸出一邏輯高準位數量值。耦接暫存器串420之臨界元件430則比較邏輯高準位數量值與臨界值THR，再輸出由DNFSK傳送之數位訊號。此較佳實例的操作方法將在以下的文字說明及第5圖的波形圖中更詳盡說明。

例如說過取樣元件410接收一輸入數位非同調頻率移位鍵DNFSK，其數位訊號'1001110111'以FSK調變傳送。該過取樣元件410接收輸入之數位頻率移位鍵訊號DNFSK並檢查傳送狀況後，輸出一資料位元訊號。若有傳輸事實，此訊號為'1'，反之此訊號為'0'。以此方式進行則輸出資料位元由一串'1'與'0'組成。耦接至過取樣元件410的存取器串420接收這一串'1'與'0'之資料位元訊號加以計數並儲存所接收到的'1'的數量，輸出一高準位數量值。而耦接至存取器串420的臨界元件430則接收該高準位數量值，並與預定臨界值THR比較，最後數位訊號D在此解調產生。若輸入的數位非同調頻率移位鍵訊號DFSK帶有代表邏輯高準位的第二基頻 f^1 或代表邏輯低準位的第二基頻 f^0 ，且系統速率為R，則可決定預定臨界值THR；其值為 $(f^1 + f^0)/R$ 。舉例來說，若代表數位高準位訊號'1'的DNFSK頻率為



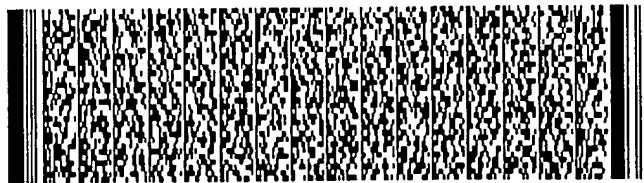
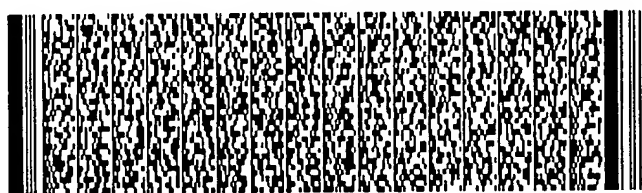
五、發明說明 (6)

14 kHz，代表數位低準位訊號'0'的DNFSK頻率為6 kHz，且系統速率R為0.5 kHz，則預定臨界值THR可推算為 $(14\text{ kHz} + 6\text{ kHz}) / 0.5\text{ kHz} = 40$ 。以此手法，'1'的數量(即邏輯高準位數值)超過臨界值THR，則臨界元件430輸出一邏輯高準位'1'；反之則輸出邏輯低準位'0'。由此得到來自數位非同調頻率移位鍵DNFSK之數位訊號

見第5圖，若傳送之數位資料位元流為'1001110111'，則在本發明之較佳實例中以非同調FSK調變器400所產生之方波輸出如圖所示。注意圖中為了圖解說明，每一位元在橫座標上為100單位。相當明顯的，要精確解調由數位非同調頻率移位進訊號DNFSK載送之數位訊號，只需要一相當簡潔之非同調FSK解調電路，配合一有效的高頻偏移。

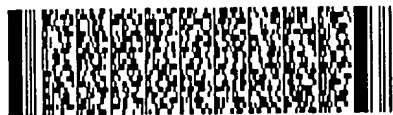
由此可見，此較佳實例中之非同調頻率移位鍵解調電路可以用一簡單便捷的邏輯電路實現。與傳統的關聯接收器或分辨偵測器比較，此電路更能準確粹取傳送訊號中的資料。非同調頻率移位鍵解調電路克服林林總總系統缺陷，例如以一簡單查表紀錄對應數值解決晶體頻率變異問題。非同調頻率移位鍵解調電路DNFSK亦有更優於傳統關聯接收器或分辨偵測器的頻率偏移容忍度。再者，非同調頻率移位鍵解調電路更能以簡易實現之電路支持多頻傳輸，此非傳統關聯接收器所能達成。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護



五、發明說明 (7)

範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖為傳統FSK接收器之電路方塊示意圖；

第2圖為使用關聯接收器之解調電路方塊示意圖；

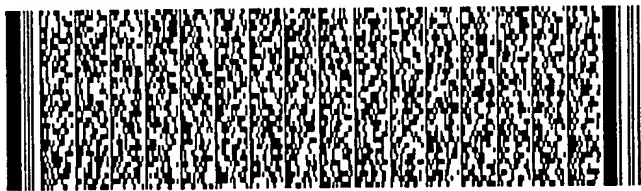
第3圖為使用分辨偵測器之解調電路方塊示意圖；

第4圖顯示根據本發明較佳實例之一種非同調頻率移位鍵解調電路方塊示意圖；以及

第5圖顯示根據本發明較佳實例之非同調頻率移位鍵解調電路的方波解調波形圖；在此FSK訊號運載一數位資料流'1001110111'。

圖式標記說明

- 100 FSK接收器電路
- 110 接收天線
- 120 低雜訊放大器(LNA)
- 130 混波器
- 140 低通濾波器
- 150 類比-數位轉換器
- 160 解調器
- 210 第一關聯器
- 220 第二關聯器
- 230 比較器
- 310 分辨器(discriminator)
- 320 決定邏輯(decision logic)
- 400 非同調FSK解調電路
- 410 過取樣元件
- 420 暫存器串



圖式簡單說明

430 臨 界 元 件



六、申請專利範圍

1. 一種非同調頻率移位鍵解調電路，由以下電路構成：

一過取樣元件，用以接收及檢查具有一數位訊號之一非同調頻率移位鍵訊號，且檢驗有無傳送事實，並輸出一資料位元來記錄此事實；

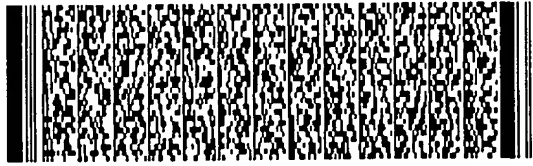
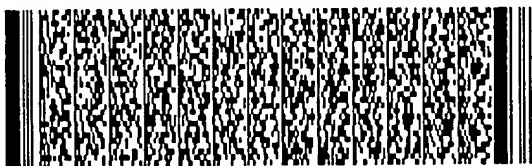
一暫存器串，耦接該過取樣元件，用以接收資料位元，加以計數且儲存該資料位元位於一高準位邏輯狀態之數量，並輸出對應於該數量之一訊號；及

一臨界元件，耦接該暫存器串，用以接收該訊號，並與一預定臨界值比較而解出由該非同調頻率移位鍵訊號所載送之數位訊號。

2. 如申請專利範圍第1項所述之非同調頻率移位鍵解調電路，其中當該非同調頻率移位鍵訊號之一高與低準位的調變頻率分別為 f_1 與 f_0 ，而一系統速率為 R ，則設定該預定臨界值為 $(f_1 + f_0) / R$ 。

3. 如申請專利範圍第1項所述之非同調頻率移位鍵解調電路，其中若有輸入該非同調頻率移位鍵訊號之傳送事實，則該資料位元為位於該高準位邏輯狀態，若無輸入該非同調頻率移位鍵訊號之傳送事實，則該資料位元為一低準位邏輯狀態。

4. 如申請專利範圍第1項所述之非同調頻率移位鍵解調電路，若該資料位元位於該高準位邏輯狀態之數量小於該預定臨界值，則認定為該數位訊號為一低準位，若該資料位元位於該高準位邏輯狀態之數量大於該預定臨界



六、申請專利範圍

值，則認定該數位訊號為一高準位。

5. 一種非同調頻率移位鍵解調方法，包括：

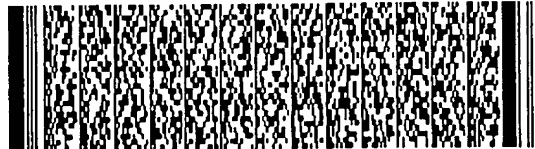
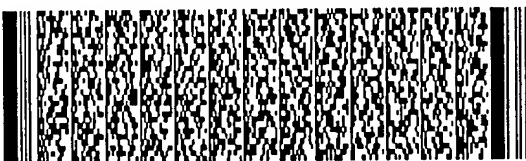
接收及檢查載送有一數位訊號之一非同調頻率移位鍵訊號，且檢驗有無傳送事實，並輸出一資料位元來記錄此事實；

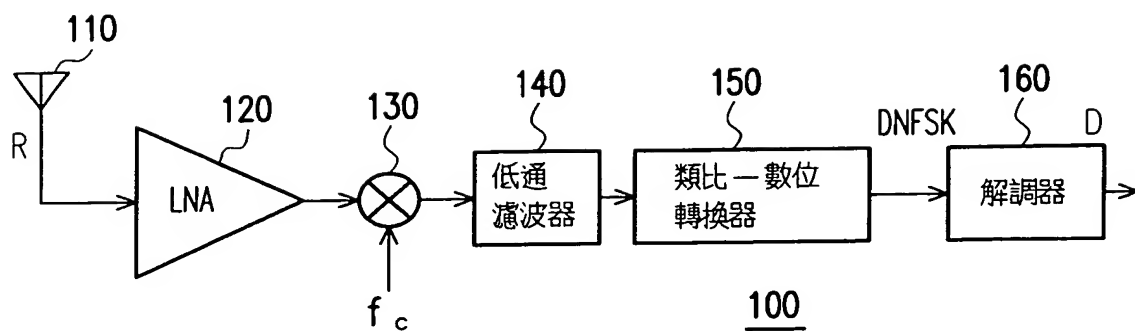
接收該資料位元，加以計數且儲存該資料位元於一高準位邏輯之數量，並輸出對應於該數量之一訊號；及接收該訊號，並與一預定臨界值比較而解出由該非同調頻率移位鍵訊號所載送之該數位訊號。

6. 如申請專利範圍第5項所述之非同調頻率移位鍵解調方法，其中當該非同調頻率移位鍵訊號之一高準位與一低準位的調變頻率分別為 f^1 與 f^0 ，而一系統速率為 R ，則設定該預定臨界值為 $(f^1 + f^0) / R$ 。

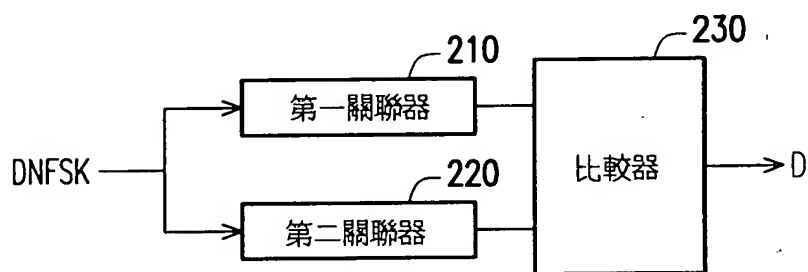
7. 如申請專利範圍第5項所述之非同調頻率移位鍵解調方法，其中若有輸入該非同調頻率移位鍵訊號之傳送事實，則該資料位元則為一高準位邏輯狀態，若無輸入該非同調頻率移位鍵訊號之傳送事實，則該資料位元為一低準位邏輯狀態。

8. 如申請專利範圍第5項所述之非同調頻率移位鍵解調方法，若該資料位元位於該高準位邏輯狀態之數量小於預定臨界值，則認定為該數位訊號位於一低準位，若該資料位元位於該高準位邏輯狀態之數量大於預定臨界值，則認定為該數位訊號位於一高準位。

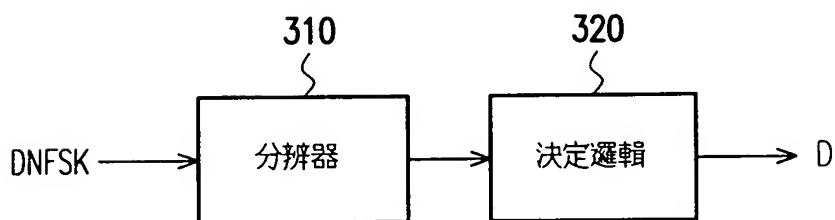




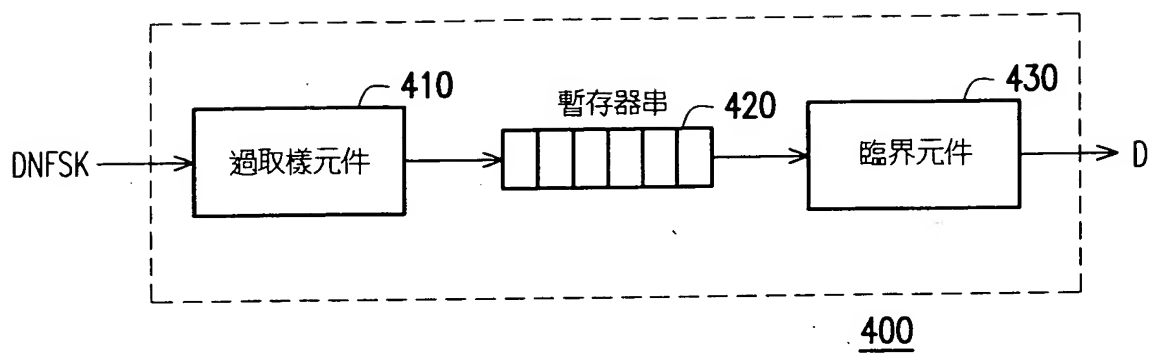
第 1 圖



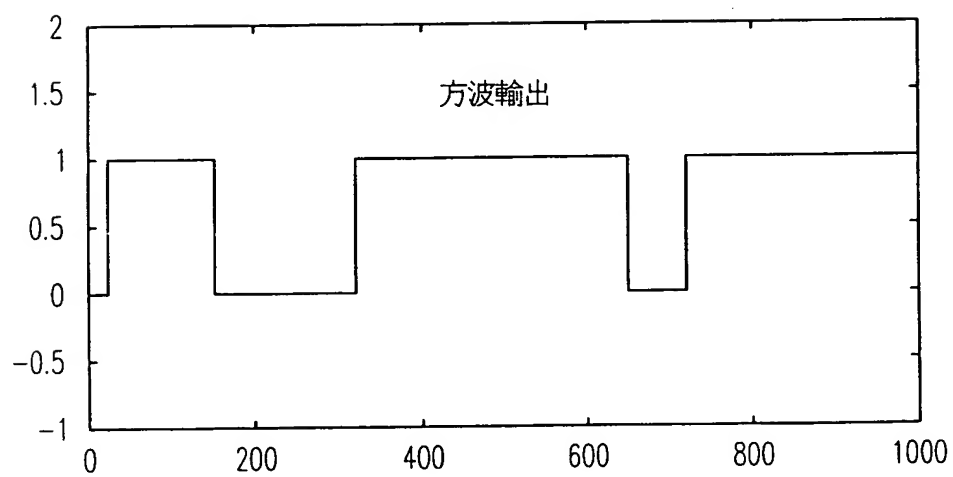
第 2 圖



第 3 圖

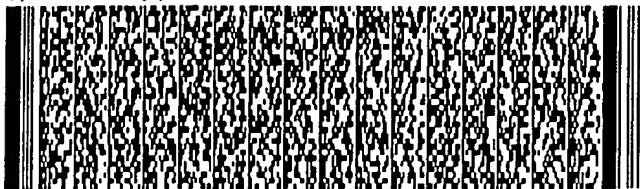


第 4 圖



第 5 圖

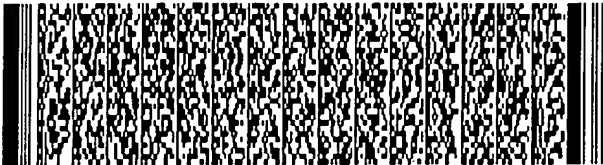
第 1/16 頁



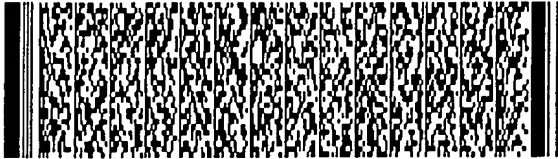
第 2/16 頁



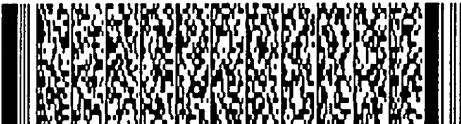
第 2/16 頁



第 3/16 頁



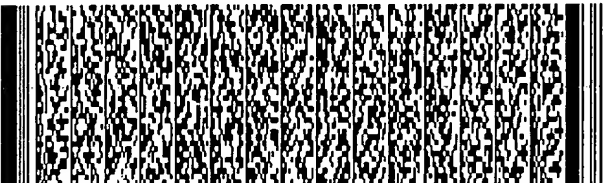
第 4/16 頁



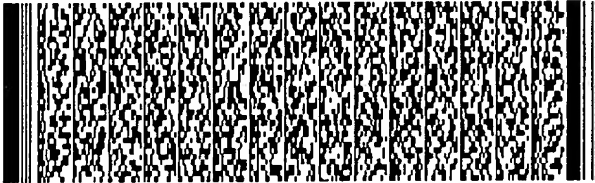
第 5/16 頁



第 6/16 頁



第 6/16 頁



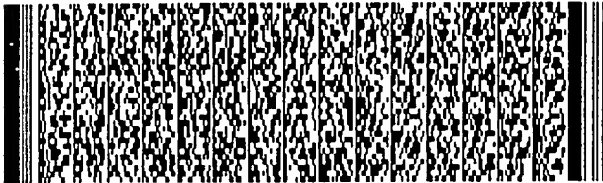
第 7/16 頁



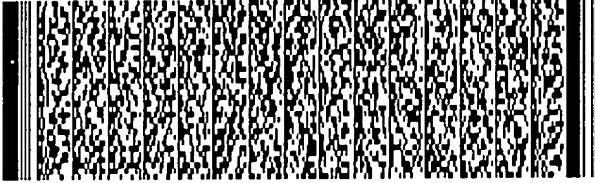
第 7/16 頁



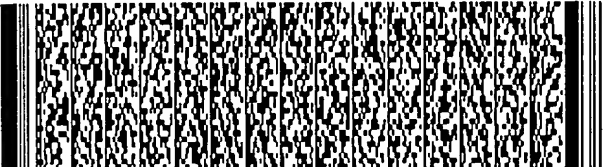
第 8/16 頁



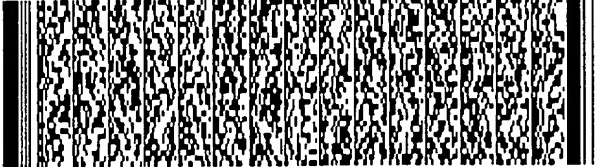
第 8/16 頁



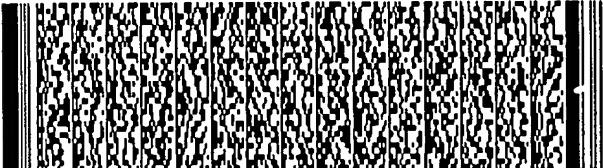
第 9/16 頁



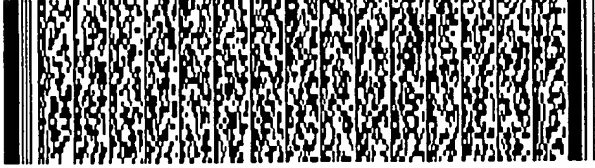
第 9/16 頁



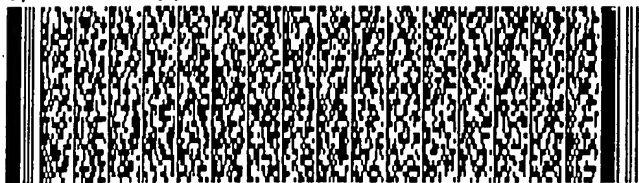
第 10/16 頁



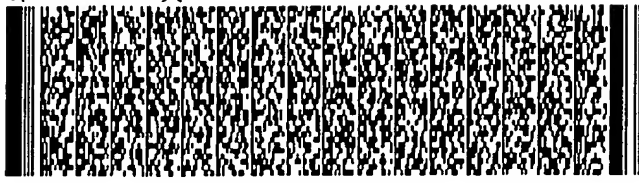
第 10/16 頁



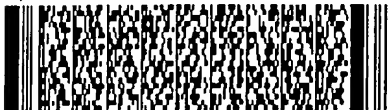
第 11/16 頁



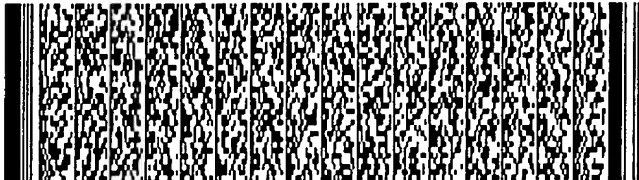
第 11/16 頁



第 12/16 頁



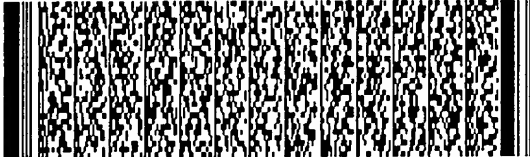
第 13/16 頁



第 14/16 頁



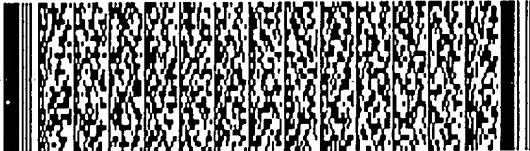
第 15/16 頁



第 15/16 頁



第 16/16 頁



第 16/16 頁

